

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-299809

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

H05K 3/34

H01L 21/60

H05K 3/32

(21)Application number : 2001-095739

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.03.2001

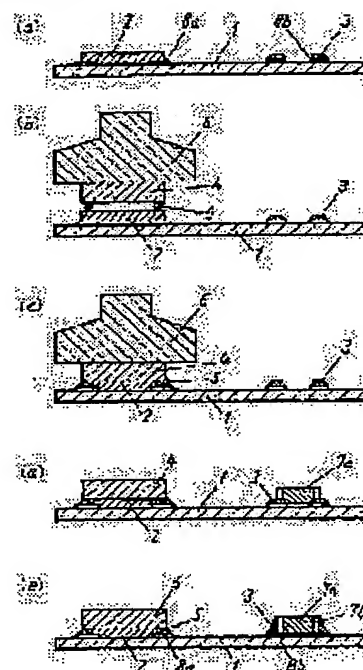
(72)Inventor : KASHIWAGI TAKAFUMI  
YAGI YUJI

## (54) ELECTRONIC COMPONENT MOUNTING METHOD AND EQUIPMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a technique and equipment which are capable of carrying out a part mounting process of mixedly mounting semiconductor component that are mounted in a flip chip mounting manner by the use of an adhesive agent and passive parts that are suitably mounted by reflow soldering on a circuit board in a shorter time than usual.

**SOLUTION:** This electronic component mounting method comprises a first process of mounting an electronic component with a projecting electrode on a circuit board through the intermediary of a thermosetting adhesive agent and making the thermosetting adhesive agent semi-cured by thermocompression, a second process of mounting a solder mounting component on the circuit board by the use of solder paste, and a third process of making the solder paste reflow and the adhesive agent get completely cured by heating.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-299809  
(P2002-299809A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト* (参考)
H 0 5 K 3/34	5 0 7	H 0 5 K 3/34	5 0 7 C 5 E 3 1 9
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S 5 F 0 4 4
H 0 5 K 3/32		H 0 5 K 3/32	B

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号 特願2001-95739(P2001-95739)

(22) 出願日 平成13年3月29日 (2001. 3. 29)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 柏木 隆文

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 八木 優治

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

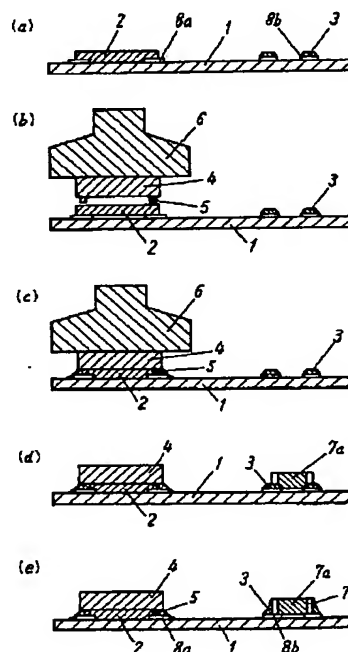
最終頁に続く

(54) 【発明の名称】 電子部品の実装方法および実装装置

(57) 【要約】

【課題】 本発明は、接着剤を用いたフリップチップ実装の半導体部品等と、はんだリフロー実装が適する受動部品等が混載した回路基板の部品実装工程において、従来法より工程時間が短い工法および装置を提供することを目的とする。

【解決手段】 突起状電極を形成した電子部品を熱硬化性接着剤を介して装着後加圧加熱し半硬化状態にする第1の工程と、はんだ実装の部品をはんだペーストを用いて回路基板に装着する第2の工程と、はんだペーストをリフローすると同時に前記接着剤を完全に硬化させる加熱工程の3工程からなる。



## 【特許請求の範囲】

【請求項1】 突起状電極を形成した電子部品を熱硬化性接着剤を用いて回路基板に装着し半硬化状態まで加圧加熱する工程と、はんだペーストを前記回路基板上に所定位置に配置する工程と、前記はんだペーストが配置された回路基板上に電子部品を装着する工程と、前記はんだペーストをリフローすると同時に前記熱硬化性接着剤を完全に硬化させる加熱工程からなることを特徴とする電子部品の実装方法。

【請求項2】 前記熱硬化性接着剤が異方導電性接着剤であることを特徴とする請求項1記載の電子部品の実装方法。

【請求項3】 前記熱硬化性接着剤を用いて実装する電子部品が半導体素子であることを特徴とする請求項1記載の電子部品の実装方法。

【請求項4】 熱硬化性接着剤または熱硬化型異方導電性接着剤およびはんだペーストを回路基板上の所定位置に配置する手段と、前記熱硬化性接着剤または熱硬化型異方導電性接着剤が配置された回路基板上の所定位置に突起状電極を形成した電子部品を装着し半硬化状態まで加圧加熱する手段と、前記はんだペーストが配置された回路基板上の所定位置に電子部品を装着する手段と、前記はんだペーストをリフローすると同時に前記熱硬化性接着剤または熱硬化型異方導電性接着剤を完全に硬化させる加熱手段からなることを特徴とする電子部品の実装装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子やチップ部品等を回路基板に接続する電子部品の実装方法および実装装置に関するものである。

【0002】

【従来の技術】従来、半導体素子と受動部品を1枚の回路基板に実装して回路モジュールを作成する場合に、QFP等に加工済みの半導体素子を使用し、はんだペーストを回路基板に印刷転写後、半導体素子及び受動部品を所定の位置に設置し、その後加熱炉にて一括はんだリフロー工程を通し実装完了する方法が広く用いられている。

【0003】一方、近年電子機器には、携帯機器等に代表される薄型化、小型化の要求が高まっており、半導体素子のパッケージに対しても薄型化要求が強く、金属リードフレームに半導体素子を固定し金線等で配線後樹脂封止する従来のパッケージ方法に対し、半導体素子単体を回路基板にアクティブ面を向けてフェースダウン実装する、いわゆるフリップチップ実装方法の使用が増大している。

【0004】フリップチップ実装方法の代表的なものは、半導体素子上の接続パッドに金属薄膜を形成後はんだボールを形成し、はんだボール面を前記のはんだペー

スト印刷転写部に対向させて位置合わせ後設置し、その後加熱炉にてはんだリフローを行い接続完了するものである。さらに信頼性を向上させるために、回路基板と半導体素子の隙間に樹脂を充填し硬化することも行われる。

【0005】前記はんだによるフリップチップ実装方法は、端子ピッチの狭いものはショートが発生しやすく、最も狭ピッチのものでも250 $\mu$ m程度である点と、高信頼性を得るためには樹脂充填硬化の追加工程が必要という問題がある。

【0006】この問題を解決するため、熱硬化型異方導電性接着剤を用いたフリップチップ実装方法が最近導入されている。この工程を図を用いて説明する。

【0007】図3に示すように、半導体素子4上の接続パッドに金線ボールボンディング法やメッキ法を用い高さ数十 $\mu$ mの突起状電極5を形成し(図3(a))、異方導電性接着剤9を回路基板1上に仮固定した後(図3(b))、前記半導体素子の突起状電極面を回路基板面に対向させ、接続用ランド8と位置合わせ後圧着ツール6にて加圧及び加熱を行い(図3(c))突起状電極5と回路基板上のランド8との電気的導通を得ると同時に接着剤を硬化させ接続を完了する(図3(d))。

【0008】

【発明が解決しようとする課題】前記のように、異方導電性接着剤を用いたフリップチップ実装方法は、はんだ接続方法に比べ接続パッドのピッチが狭いものに対応できるという特徴があるが、1枚の回路基板上に半導体素子と受動部品等はんだ接続が必要な部品を混載する場合に、工程が増え工程時間が長くなるという問題がある。

【0009】すなわち、半導体素子のフリップチップ実装にはんだ接続法を使用する場合は、受動部品等と同様に回路基板に設置した後、一回の加熱処理で同時にはんだリフローを行えるため、フリップチップ実装の半導体素子と受動部品が混在する回路基板でも、特に工程の増加や工程時間の延長はない。

【0010】一方、異方導電性接着剤を用いる場合は、受動部品等のはんだ接続工程と別工程で半導体素子を回路基板に実装する工程をこなさなければならない。

【0011】また、一般に異方導電性接着剤を用いた部品実装には加圧加熱工程として最短でも10秒程度必要である。多数個の半導体素子を実装する場合は合計10秒×個数分の時間が必要となり工程時間として長大なものになってしまうという問題がある。

【0012】工程時間を短縮するために加圧加熱ヘッドを複数個設け、同時に複数個の半導体素子を加圧加熱することも実施されているが、加圧加熱機構の寸法及び精度の点よりヘッド数はせいぜい2、3個が限界である。また、近接した位置に同時に複数個の素子を実装することが困難であるなど根本的な問題解決にならない。

【0013】

【課題を解決するための手段】この課題を解決するために、本発明の電子部品の実装方法は、接続パッド上に突起状電極を形成した半導体素子等の電子部品を熱硬化性接着剤を用いて回路基板上に装着し半硬化状態まで加圧加熱する工程と、受動部品等の電子部品をはんだペーストを用いて前記回路基板上に装着する工程と、前記はんだペーストをリフローすると同時に前記接着剤を完全に硬化させる加熱工程からなるものである。

【0014】また、本発明の電子部品の実装装置は、熱硬化性接着剤およびはんだペーストを回路基板上の所定位置に配置する手段と、前記熱硬化性接着剤が配置された回路基板上の所定位置の突起状電極を形成した電子部品を装着し半硬化状態まで加圧加熱する手段と、前記はんだペーストが配置された回路基板上の所定位置に電子部品を装着する手段と、前記はんだペーストをリフローすると同時に前記熱硬化性接着剤または熱硬化型異方導電性接着剤を完全に硬化させる加熱手段を有する装置であり、前記第1の発明の電子部品の実装方法を完全に実施できるものである。

【0015】

【発明の実施の形態】本発明の請求項1に記載の発明は、接続パッド上に突起状電極を形成した半導体素子等の電子部品を熱硬化性接着剤を介して接着後加圧加熱し接着剤を半硬化状態にする第1の工程と、チップ型抵抗等のはんだ実装の部品をはんだペーストを用いて回路基板上に装着する第2の工程と、はんだペーストをリフローすると同時に前記接着剤を完全に硬化させる加熱工程の3工程からなる電子部品の実装方法である。

【0016】第1の熱硬化性接着剤を介して加圧加熱し半硬化状態にする工程は完全硬化する従来方法に比べ著しく時間が短いものであり、複数の部品を装着しても工程時間の増加はわずかなものである。また、第3の加熱工程は従来のはんだリフロー工程と同時にフリップチップ用接着剤を完全硬化させる工程であり時間的に従来工法と同等であり、結果的に従来工法に比べ工程全体の合計時間が著しく短いという作用を有する。

【0017】さらに、熱硬化性接着剤を異方導電性接着剤にすると、メッキ法のように高さが低くかつ表面積が広い突起状電極の場合でも接着剤に分散された導電粒子によって、より安定した電氣的接続が得られる。

【0018】本発明の実施の形態を図を用いて説明する。

【0019】（実施の形態1）図1は本実施の形態の一例であり、半導体素子と受動部品が1枚の回路基板上に複層実装された回路モジュールを作成する工程を、順を追って図示したものである。

【0020】図1(a)は回路基板1上の半導体素子接続用ランド8a部分に熱硬化性接着剤シート2を仮止めし、さらにチップ型部品接続用ランド8b部分にはんだペースト3を設置した状態である。

【0021】はんだペースト3はメタルマスクを用いて所定の位置にスクリーン印刷法で設置した。熱硬化性接着剤シートはエポキシ樹脂基材と硬化剤の混合物を厚さ50μmのシート状に成形したものであり、架橋開始温度は約100℃である。このシートを表面温度80℃に保った圧着ツールを使用し、加圧時間2秒、圧力98kPaの条件で加圧加熱し仮止めた。

【0022】図1(b)は接続パッド上に金線ボールボンディング法を用いて、高さ約70μmの突起状電極5を形成した半導体素子4を、圧着ツール6に吸着し、回路基板のランド8aに対して位置合わせを行った状態である。圧着ツールはヒーターが内蔵しており、追電することによって急速に昇温でき、また、回路基板との平行度は半導体素子面内で±5μm以内に調整している。使用した半導体素子は、周面配置型で各辺に0.1mmピッチ、各50パッド、計200パッドを設けたテストチップである。

【0023】次に、図1(c)に示すように、圧着ツールを下ろし、半導体素子に各突起状電極当たり0.686N(70g)、200個の電極全体で計137.2N(14.0kg)の荷重を加えながら、ヒーターに通電して160℃にまで昇温し、2秒間保持した。その結果、圧力により突起状電極と回路基板ランド間の余分な接着剤は排除され、さらに突起状電極が変形することにより、突起高さのばらつき等を吸収し、電氣的導通が得られた。また、接着剤の硬化が進行したが完全硬化に至らず、未反応の硬化剤および主剤が残った状態である。

【0024】次に、図1(d)に示すように、チップ型抵抗7aをはんだペーストを印刷したランド部にマウントした。

【0025】その後、基板全体をピーク温度240℃に設定した、はんだリフロー炉に通した。

【0026】その結果、図1(e)に示すように、はんだペースト3はリフロー後チップ型抵抗7aの電極部7b部でフィレットを形成し、熱硬化性接着剤シート2は完全硬化しほぼ100%の架橋率が得られた。接着剤は硬化が進行するに伴いわずかに体積収縮するため、突起状電極と回路基板上のランド間には圧縮応力が残留し安定した接続が得られる。

【0027】前記実装が終了した回路基板を-40℃/+150℃、各30分の熱衝撃試験を行ったところ、不良発生は2500サイクル以上という高信頼性が得られた。

【0028】本実施の形態では接着剤実装する電子部品に半導体素子を使用した。これに限定するものではない。また、熱硬化性接着剤はシート状に限るものではなく、ペースト状のものをディスペンサ装着しても同様の効果を得ることができる。

【0029】（実施の形態2）図2は本実施の形態の他の例であり、半導体素子と受動部品が1枚の回路基板上

に混在実装された回路モジュールを作成する工程を、順を追って図示したものである。

【0030】図2(a)は回路基板1上の半導体素子接続用ランド8a部分に異方導電性接着剤9を仮止めし、さらにチップ型部品接続用ランド8b部分にはんだペースト3を設置した状態である。はんだペーストは金属マスクを用いて所定の位置にスクリーン印刷法で設置した。異方導電性接着剤はエポキシ樹脂基材と硬化剤の混合物に金メッキされた粒径約5 $\mu$ mの樹脂粒子を混練し、厚さ50 $\mu$ mのシート状に成形したものであり、架橋開始温度は約100℃である。このシートを表面温度80℃に保った圧着ツールを使用し、加圧時間2秒、圧力98kPaの条件で加圧加熱し仮止めした。

【0031】図2(b)は接続パッド上に金メッキ法を用いて、高さ約25 $\mu$ mの突起状電極5を形成した半導体素子4を、圧着ツール6に吸着し、回路基板のランド8aに対して位置合わせを行った状態である。圧着ツールはヒーターが内蔵しており、通電することによって急速に昇温できるものであり、また、回路基板との平行度は半導体素子面内で $\pm 5\mu$ m以内に調整している。使用した半導体素子は、周囲配置型で各辺に0.1mmピッチ、各50パッド、計200パッドを設けたテストチップである。

【0032】次に、図2(c)に示すように、圧着ツールを下ろし、半導体素子に各突起電極当たり0.49N(50g)、200個の電極全体で計98.0N(10.0kg)の荷重を加えながら、ヒーターに通電し160℃にて保持時間2秒の圧着を行った。その結果、突起状電極と回路基板ランド間に導電粒子が挟持され、電気的導通が得られた。しかし、異方導電性接着剤は完全硬化に至らず、未反応の硬化剤および主剤が残った状態である。

【0033】次に、図2(d)に示すように、チップ型抵抗7aをはんだペーストを印刷したランド部にマウントした。

【0034】その後、基板全体をピーク温度240℃に設定した、はんだリフロー炉に通した。

【0035】その結果、図2(e)に示すように、はんだペースト3はリフロー後チップ型抵抗7aの電極部7b部でフィレットを形成し、異方導電性接着剤9は完全硬化しほぼ100%の架橋率が得られた。

【0036】実装が終了した回路基板を-40℃/+150℃各30分の熱衝撃試験を行ったところ、不良発生は3000サイクル以上という高信頼性が得られた。

【0037】本実施の形態では接着剤実装する電子部品

に半導体素子を使用した。これに限定するものではない。また、異方導電性接着剤はシート状に限るものではなく、ペースト状のものをディスペンサ装着しても同様の効果を得ることができる。

【0038】

【発明の効果】以上の説明から明らかなように、本発明の電子部品の実装方法によれば、多ピン狭ピッチ電極の半導体素子のようにはんだリフロー法では対応できないフリップチップ実装の電子部品とはんだリフロー法が適する受動部品等が混載した回路基板の実装工程において、フリップチップ実装に熱硬化性接着剤や異方導電性接着剤を用いるにもかかわらず、すべてのはんだリフロー法で行う場合に比べ最低限の工程時間増加に抑えることができ、また、熱硬化性接着剤や異方導電性接着剤を用いる従来の工法より著しく工程時間を短縮できるといふ効果が得られる。

【0039】またより安定した高信頼性の電気的接続が得られるという効果を有するものである。

【0040】さらに、本発明の電子部品の実装装置によれば、多ピン狭ピッチ電極の半導体素子のようにはんだリフロー法では対応できないフリップチップ実装の電子部品とはんだリフロー法が適する受動部品等が混載した回路基板の実装工程において、熱硬化性接着剤や異方導電性接着剤を用いるにもかかわらず、すべてのはんだリフロー法で行う場合に比べ最低限の工程時間増加に抑えることができ、また、熱硬化性接着剤や異方導電性接着剤を用いる従来の工法より著しく工程時間を短縮できるといふ効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施の形態を説明するための工程断面図

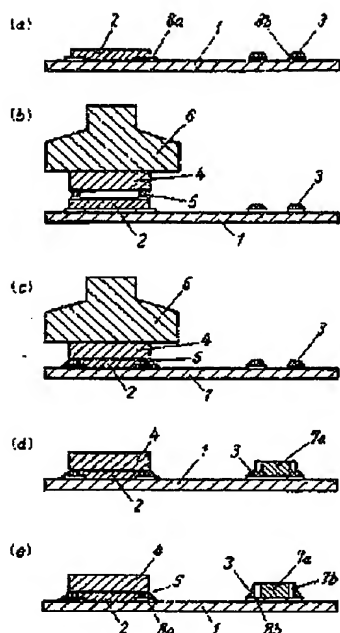
【図2】本発明の他の実施の形態を説明するための工程断面図

【図3】従来のフリップチップ実装方法を説明するための工程断面図

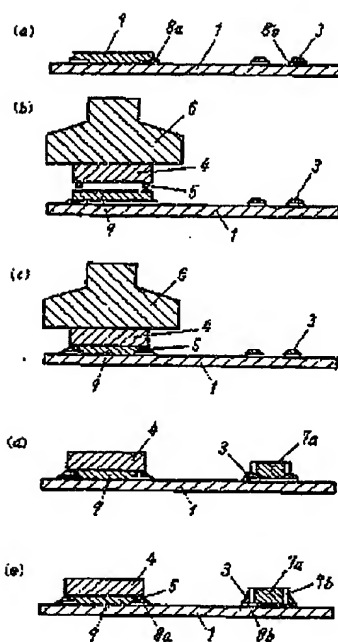
【符号の説明】

- 1 回路基板
- 2 熱硬化性接着剤シート
- 3 はんだペースト
- 4 半導体素子
- 5 突起状電極
- 6 圧着ツール
- 8、8a、8b 回路基板上の接続用ランド
- 9 異方導電性接着剤

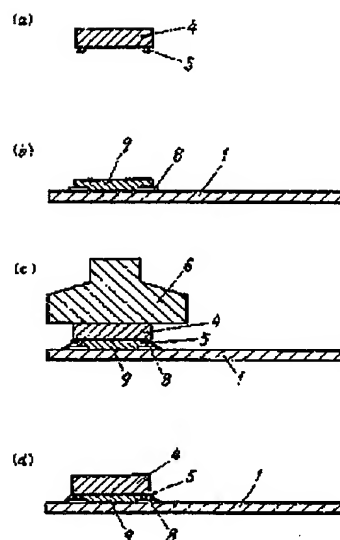
【図1】



【図2】



【図3】



フロントページの続き

Fターム(参考) 5E319 AA03 AB05 BB16 CC33 CD15  
GG15  
5F044 LL01 LL04 LL09